

F1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-257949

(43) 公開日 平成4年(1992)9月14日

(51) Int.Cl.⁵

G 0 6 F 12/08

識別記号

3 1 0 B 7232-5B
H 7232-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数15(全 6 頁)

(21) 出願番号 特願平3-268782

(22) 出願日 平成3年(1991)9月20日

(31) 優先権主張番号 P 4 0 3 0 4 3 5 . 3

(32) 優先日 1990年9月26日

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFTドイツ連邦共和国 ベルリン 及び ミュ
ンヘン (番地なし)(72) 発明者 アルフォンス・ヨーゼフ ワール
ドイツ連邦共和国 8080 フュルステンフ
ェルトブルツク ブツヒアー シュトラ
ーセ 52

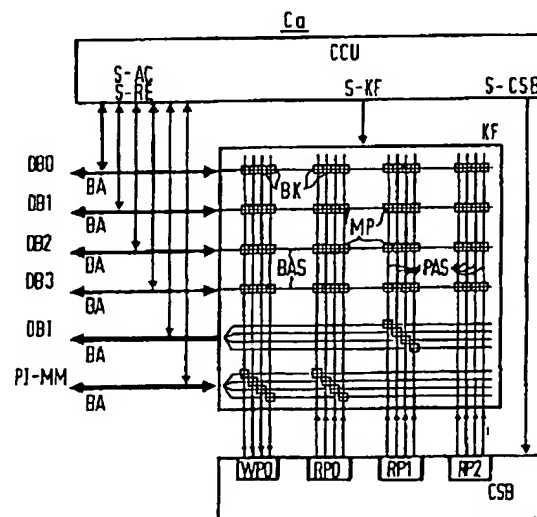
(74) 代理人 弁理士 富村 潔

(54) 【発明の名称】 キャッシュメモリ装置

(57) 【要約】

【目的】 キャッシュメモリが1つのCPUにより使用され得るだけでなく複数のCPUにより使用され得るキャッシュメモリ装置を提供する。

【構成】 m個のバス端子BAを有するキャッシュメモリ装置において、キャッシュメモリCSBからのデータの読出しのためのk ($k < m$) 個のキャッシュメモリポートおよびキャッシュメモリへのデータの書込みのためのp ($p < m$) 個のキャッシュメモリポートを有するキャッシュメモリCSBと、キャッシュメモリポートとバス端子BAとの接続を形成するための制御可能な結合要素BKを有する結合領域KFと、結合領域KFの結合要素BKを制御するためのキャッシュメモリ制御部CCUとを含んでいる。



【特許請求の範囲】

【請求項1】 m個のバス端子(BA)を有するキャッシュメモリ装置において、キャッシュメモリ(CSB)からのデータの読出しのためのk(k<m)個のキャッシュメモリポート(RP)およびキャッシュメモリへのデータの書き込みのためのp(p<m)個のキャッシュメモリポート(WP)を有するキャッシュメモリ(CSB)と、キャッシュメモリポートとバス端子(BA)との接続を形成するための制御可能な結合要素(BK)を有する結合領域(KF)と、結合領域(KF)の結合要素(BK)を制御するためのキャッシュメモリ制御部(CCU)とを含んでいることを特徴とするキャッシュメモリ装置。

【請求項2】 プロセッサ(P)の主メモリ(MM)がメモリバス(P I-MM)を介して結合領域(KF)と接続されていることを特徴とする請求項1記載のキャッシュメモリ装置。

【請求項3】 プロセッサ(P)のユニット(IU、PE)がバス(DB)を介して結合領域(KF)と接続されていることを特徴とする請求項1または2記載のキャッシュメモリ装置。

【請求項4】 キャッシュメモリ(CSB)が別々に制御可能なキャッシュメモリバンクから成っていることを特徴とする請求項1ないし3の1つに記載のキャッシュメモリ装置。

【請求項5】 結合要素(BK)によりバス端子(BA)が並列にキャッシュメモリ(CSB)に接続可能であることを特徴とする請求項1ないし4の1つに記載のキャッシュメモリ装置。

【請求項6】 キャッシュメモリの各ポートが1語幅であり、またバスがj語幅であり、また並列に最大1語がプロセッサのなかに含まれているプロセッサ要素(PE)からキャッシュメモリへ接続可能であることを特徴とする請求項5記載のキャッシュメモリ装置。

【請求項7】 結合領域(KF)がマトリックス点(MP)に結合要素(BK)を有するマトリックスから成っており、また結合要素(BK)の行がバス端子(BA)に接続されており、列がキャッシュメモリポートのポート端子線(PAS)であることを特徴とする請求項2ないし6の1つに記載のキャッシュメモリ装置。

【請求項8】 マトリックス点(MP)に、j語幅のバス端子線と1語幅のポート端子線(PAS)とを接続するための1個の結合要素(BK)が配置されていることを特徴とする請求項7記載のキャッシュメモリ装置。

【請求項9】 マトリックス点(MP)あたり1つの結合要素(KE)が設けられており、またキャッシュメモリポートとポート端子線との間に、j語幅のポート端子線を1語幅のキャッシュメモリポートに分配する語マルチプレクサ(WM)が配置されていることを特徴とする請求項7記載のキャッシュメモリ装置。

【請求項10】 マトリックス点(MP)あたり2つ(またはそれ以上)の結合要素(KE)が設けられており、またキャッシュメモリポートとポート端子線との間に、結合要素の列あたり、2つ(またはそれ以上)のポート端子線を1語幅のキャッシュメモリポートに分配する語マルチプレクサ(WM)が配置されていることを特徴とする請求項7記載のキャッシュメモリ装置。

【請求項11】 別々の書き込みポート(WP)および読出しポート(RP)が設けられていることを特徴とする請求項7ないし10の1つに記載のキャッシュメモリ装置。

【請求項12】 書き込みポートの数pがだいたい次式
$$p = [W_r + W_{r-mis} * t_{r-ls}] * n * W_{db} / f$$
ここで、p=書き込みポートの数、 w_r =書き込みアクセス確率、 w_{r-mis} =キャッシュメモリミスの確率、 t_{r-ls} =主メモリへの書き込みアクセス時間、 w_{db} =データバスDBの平均アクセス確率、n=接続されるプロセッサユニットPEの数、f=並列性係数(どれだけ多くのアクセスが平均してポートあたり可能か)に従って決定されることを特徴とする請求項11記載のキャッシュメモリ装置。

【請求項13】 読出しポートの数kがだいたい次式
$$k = [W_r + W_{r-mis} * t_{r-ls}] * n * W_{db} / f$$
ここで、k=読出しポートの数、 w_r =読出しアクセス確率、 w_{r-mis} =キャッシュメモリミスの確率、 t_{r-ls} =主メモリへの読出しアクセス時間、 w_{db} =データバスDBの平均アクセス確率、n=接続されるプロセッサユニットPEの数、f=並列性係数(どれだけ多くのアクセスが平均してポートあたり可能か)に従って決定されることを特徴とする請求項11記載のキャッシュメモリ装置。

【請求項14】 命令機構(IU)に対して固有の読出しポートがキャッシュメモリに設けられていることを特徴とする請求項1ないし13の1つに記載のキャッシュメモリ装置。

【請求項15】 主メモリ(MM)に対してキャッシュメモリの固有の読出しポートまたは書き込みポートが設けられていることを特徴とする請求項1ないし14の1つに記載のキャッシュメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、m個のバス端子を有するキャッシュメモリ装置に関する。

【0002】

【従来の技術】計算機アーキテクチャでキャッシュメモリは知られている。キャッシュメモリはデータ処理装置のなかの相異なるデータ流れ速度の互いに通信する機能ユニットの間のバッファメモリとしての役割をする。例として主メモリから処理すべき命令を与えられる命令プロセッサがあげられ得る。これらの命令はプロセ

ッサに、比較的大きいメモリ容量を有する主メモリにおいて可能なアクセス時間よりも短いアクセス時間で与えられなければならない。これを解決するため、主メモリと命令プロセッサとの間に、小さいメモリ容量で短いアクセス時間を有するキャッシュメモリがバッファメモリとして挿入される。キャッシュメモリは、プログラム遂行の間に命令プロセッサから要求されるデータおよび命令が高い確率でキャッシュメモリのなかに位置しており、それによって短いアクセス時間で与えられ得るように動作させられる。

【0003】大規模集積の可能性を完全に利用し得るために、またプロセッサの能力を高めるために、計算機実現の際に次第に計算機ハードウェアコアとならんでキャッシュメモリがオンチップに集積されるようになった。その際に留意すべきこととして、キャッシュメモリの容量がますます高められることである。このことは、キャッシュメモリが単一のCPUによりもはや完全に能力を利用されないことに通ずる。

【0004】

【発明が解決しようとする課題】本発明の課題は、1つのキャッシュメモリを有するキャッシュメモリ装置であって、キャッシュメモリが1つのCPUにより使用され得るだけでなく複数のCPUにより使用され得るキャッシュメモリ装置を提供することである。

【0005】

【課題を解決するための手段】この課題は請求項1の特徴により解決される。

【0006】キャッシュメモリは1つまたは複数のキャッシュメモリバンクから成り得る。キャッシュメモリバンクへのアクセスは一方方向性ポートまたは双方方向性ポートとして実現され得るのキャッシュメモリポートを介して行われる。本発明のためにいまこれらのポートの数は、たとえばCPUまたはプロセッサ要素、命令機構のようなプロセッサのユニットにまたは主メモリに通ずるバスと接続されているバス端子の数よりも小さく選定され得る。その場合、結合領域により、各バス端子がキャッシュメモリのポートと接続可能であることが達成される。

【0007】結合領域は通常の仕方では接続回路網、クロスバ分配器またはクロスバスイッチとして実現され得る。結合領域は、それぞれ1つのバス端子をキャッシュメモリの1つのポートと接続可能にする結合要素を含んでいる。その際に、キャッシュメモリのポートを1語幅に選定し、結合要素の相応の制御を介して並列に複数のバス端子を1つまたはそれ以上のキャッシュメモリポートと接続可能であるようにすることは目的にかなっている。

【0008】

【実施例】以下、図面に示されている実施例により本発明を一層詳細に説明する。

【0009】図1によれば、プロセッサPはn個のプロセッサ要素（計算機構またはCPUとも呼ばれる）、実施例では4つのプロセッサ要素PE0ないしPE3、キャッシュメモリ装置CA、命令機構IU、レジスタバンクRGおよび場合によっては制御メモリCSから成っている。プロセッサPはキャッシュメモリ装置CAを介して主メモリMMと接続されている。

【0010】プロセッサ要素PE0ないしPE3はバスDB0ないしDB3を介してキャッシュメモリ装置CAと接続されており、それらはさらにIB0ないしIB3を介して命令機構IUと、レジスタバスRBを介してレジスタバンクRGと、また導線MI0ないしMI3を介して制御メモリCSと接続されている。制御メモリCSのなかには、プロセッサ要素PE0ないしPE3の機能のために必要なマイクロプログラムが収納されている。主メモリMMがバスPI-WMを介してキャッシュメモリ装置CAと接続されているのと同じように、命令機構IUは同じくキャッシュメモリ装置CAと接続されている。さらに、命令機構IUがレジスタバンクRGとバスRBIを介して接続され得る。

【0011】プロセッサPから以下にキャッシュメモリ装置CAの構成を説明する。キャッシュメモリ装置CAは図2によればキャッシュメモリCSB、結合領域KFおよびキャッシュメモリ制御部CCUから成っている。キャッシュメモリCSBは1つまたは複数のメモリバンクから成っていてよく、また公知の構成である。キャッシュメモリCSBは、実施例では一方方向性に実現されているキャッシュメモリポートWP0、RP0、RP1、RP2を有する。ポートWP0（複数の書き込みポートであり得る）はキャッシュメモリの書き込みの役割をし、ポートRP0ないしRP2はキャッシュメモリからの読出しの役割をする。これらのキャッシュメモリポートは結合領域KFとキャッシュメモリCSBのインタフェースを形成している。

【0012】結合領域KFは、結合領域KFのマトリックス点MPに配置されている結合要素BKから成っている。これらのマトリックス点MPでポート接続線PASがバス接続線BASと交叉しており、それらのバス端子BAにプロセッサ要素PEのバスDB、主メモリMMへのバスPI-MMおよび命令機構IUへの命令バスDBIが接続されている。結合要素BKによりこうしてバスがポートと接続され得る。

【0013】バスは1つまたは複数の語の幅を有してよく、同様のことがキャッシュメモリポートにもあてはまる。これらも1つまたは複数の語の幅を有して図2の実施例ではたとえば、バスDB0…DB3は1語の幅であり、他方においてバスDBIおよびPI-MMならびにポートは4語の幅である。一般にバスは1語の幅であり、ポートはJ語の幅である（i、jは整数）。

【0014】結合要素BKの制御はキャッシュメモリ制

御部CCUにより行われる。これは制御信号S-KFを発生し、これらの制御信号が結合領域KFに供給され、またそこで個々の結合要素BKを制御する。そのためにキャッシュメモリ制御部CCUは制御信号S-RE、リクエスト信号をバスDB、DBI、PI-MMを介して受け、またキャッシュメモリCSBへのアクセスが実行可能であれば、S-ACにより受信確認する。そのために必要なキャッシュメモリCSBの制御は制御信号S-CSBを介して行われる。

【0015】図2には結合領域KFの第1の実現例が示されている。結合領域KFのマトリックス点MPには、キャッシュメモリポートが有する語幅と同数の複数の結合要素BKが位置している。実施例ではキャッシュメモ

$$p = [W_r + W_{r-1}, \dots * t_{r-1}, \dots] * n * W_{r,1} / f \quad (1)$$

ここで、p=書き込みポートの数、 w_r =書き込みアクセス確率、 W_{r-1}, \dots =キャッシュメモリミスの確率、 t_{r-1}, \dots =主メモリへの書き込みアクセス時間、 $W_{r,1}$ =データバスDBの平均アクセス確率、n=接続されるプロセッサユニットPEの数、f=並列性係数(どれだけ多くのアクセスが平均してポートあたり可能か)。

※20

$$k = [W_r + W_{r-1}, \dots * t_{r-1}, \dots] * n * W_{r,1} / f \quad (2)$$

ここで、k=読出しポートの数、 w_r =読出しアクセス確率、 W_{r-1}, \dots =キャッシュメモリミスの確率、 t_{r-1}, \dots =主メモリへの読出しアクセス時間、 $W_{r,1}$ =データバスDBの平均アクセス確率、n=接続されるプロセッサユニットPEの数、f=並列性係数(どれだけ多くのアクセスが平均してポートあたり可能か)。

【0019】例として $W_r = 0, 8$ 、 $W_{r-1}, \dots = 0, 1$ 、 $t_{r-1}, \dots = 4$ 、 $W_{r,1} = 0, 5$ 、 $f = 2$ が選ばれ得る。その場合、読出しポートRPのおよその数は $k = 1$ となる。

【0020】図3には結合領域KFの第2の実現例が示されている。ここではマトリックス点MPあたり、バス端子線BASをキャッシュメモリポートと接続し得るただ1つの結合要素BKが設けられている。複数の語幅のキャッシュメモリポートへの伝送すべき語の分配はマルチプレクサWMにより行われる。この実現例により結合要素BKの数が節減され、またそれによって費用がかなり減ぜられる。

【0021】図4には結合領域KFの第3の実現例が示されている。ここでは結合領域KFのマトリックス点あたり2つの結合要素BKが設けられており、これらを介して各バス端子線BASが2つのポート接続線と結合可能である。4語幅のポートへの分配はやはりマルチプレクサWMにより行われる。

【0022】命令機構IUが固有の読出しポート、たとえばRP1を利用することは目的にかなっており、この場合、プロセッサ要素PEはこの読出しポートにアクセスし得ないか、低い優先順位でのみアクセスし得るかで、相応のことが主メモリMMに対してもあては

*リポートは4語幅であるので、マトリックス点MPにはそれぞれ4つの結合要素BKが配置されている。これらのマトリックス点MPあたりの結合要素は別々に制御可能であるので、並列に4語までがキャッシュメモリポートを介してキャッシュメモリCSBへ伝送され、またはそこで読出されることが可能である。その際に書き込みのためにはキャッシュメモリポートWP0が、また読出しのためにはキャッシュメモリポートRP0ないしRP2が使用される。

【0016】プロセッサ要素PEに対して必要な書き込みポートWPの数pはほぼ下式(1)により見積もられる：

※【0017】たとえば $W_r = 0, 2$ 、 $W_{r-1}, \dots = 0, 1$ 、 $t_{r-1}, \dots = 4$ 、 $W_{r,1} = 0, 5$ および $f = 4$ が選ばれ得る。その場合、およそ $p = 1$ の書き込みポートが必要であることになる。

【0018】読出しポートRPの数kは相応の仕方ではほぼ(2)式により計算される：

る。プロセッサ要素PEに無関係にデータをキャッシュメモリから主メモリMMに書き込み得るように、無関係な読出しポート、たとえばRP0が望ましい。同じく固有の書き込みポートが設けられ得る。

【0023】キャッシュメモリ制御部CCUは制御信号S-KFにより結合領域KFを制御し、また制御信号S-CSBによりキャッシュメモリCSBを制御する。さらに、バスDBからキャッシュメモリ制御部CCUに供給されるリクエスト信号S-REのような制御信号が処理され、またその際に起こり得るアクセス衝突が局部化または除去される。プロセッサ要素PEから到来するリクエスト信号S-REは決められた優先順位に従って処理される。結合要素BKの制御により1語幅のポート上で2つまたはそれ以上、最大1、のアクセスが並列に行われ得る。各語に対する語アドレスはバスからキャッシュメモリポートへ通される。要求S-REはキャッシュメモリ制御部によりS-ACにより受信確認される。ミスの場合には、必要な主メモリアクセスがリリースされ、また新しいデータがキャッシュメモリに伝送される。

【0024】キャッシュメモリ制御部CCUの動作のためにはこうして、バスDBまたはPI-MMからキャッシュメモリ制御部へ、またそこから結合領域、キャッシュメモリCSBまたはデータバスDB、PI-MMへ通ずる制御信号が用いられている。たとえば、キャッシュメモリ制御部のなかに含まれているマイクロプログラムにより相応の制御信号がリリースされ得る。

【0025】結合要素は公知の構成のバス結合器であり得る。それらは1語幅のデータをバス上に通すのに適していなければならない。実施例でバスが1語幅であり、

またたとえば語が36ビットを有するならば、結合要素は36ビットをスイッチングすることができなければならない。命令バスDBIおよびメモリバスPI-MMに対する結合要素KEは、1語幅の情報語をキャッシュメモリCSBから読出し、またそこへ書き込むことが可能であるように、図面に相応して配置されていてよい。キャッシュメモリポートは通常の仕方では構成され得る。

【図面の簡単な説明】

【図1】複数のプロセッサ要素を有するプロセッサのブロック回路図。

【図2】キャッシュメモリ装置の第1の実施例。

【図3】キャッシュメモリ装置の第2の実施例。

【図4】キャッシュメモリ装置の第3の実施例。

【符号の説明】

BA バス端子

BAS バス接続線

BK 結合要素

CA キャッシュメモリ装置

CCU キャッシュメモリ制御部

CS 制御メモリ

CSB キャッシュメモリ

DB データバス

DBI 命令バス

IU 命令機構

KF 結合領域

MI 導線

MM 主メモリ

MP マトリックス点

10 P プロセッサ

PAS ポート接続線

PE プロセッサ要素

PI-MM メモリバス

RB レジスタバス

RBI バス

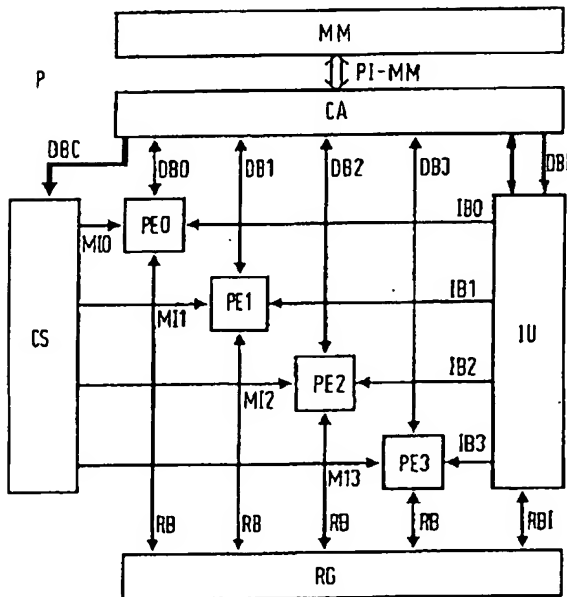
RG レジスタバンク

RP キャッシュメモリ読出しポート

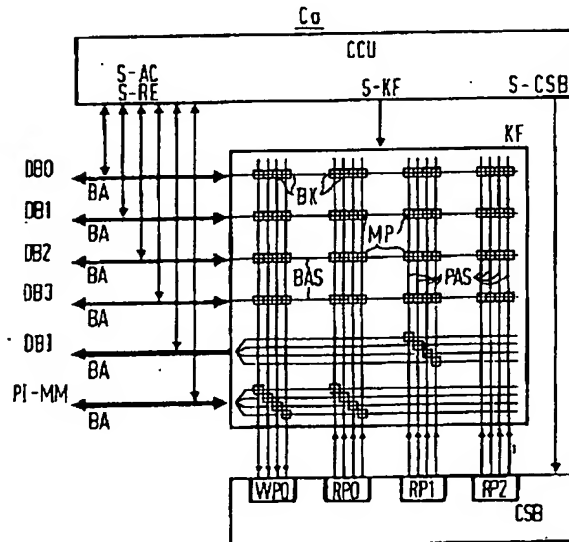
WM マルチプレクサ

WP キャッシュメモリ書き込みポート

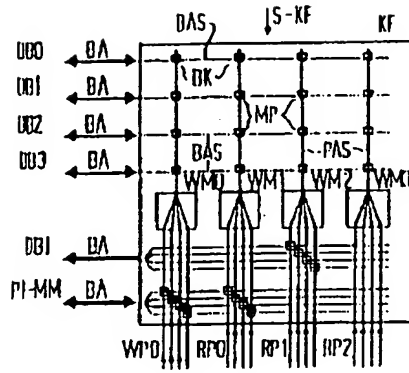
【図1】



【図2】



【図3】



【図4】

